

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-082174
 (43)Date of publication of application : 22.03.1990

(51)Int.Cl.

601R 31/28

(21)Application number : 63-234068
 (22)Date of filing : 19.09.1988

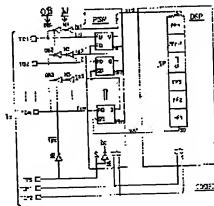
(71)Applicant : HITACHI LTD
 (72)Inventor : WADA HIROSHI
 DAIMON KAZUO
 TAIRA HIROSHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To reduce the cost for a test by providing a parallel-series conversion register which sends test data to a scan path in series and also sends it to a testing device, and matching the number of bits with the bit constitution of a test pattern memory.

CONSTITUTION: The m-bit test input data ti1 - tim are supplied to parallel input terminals PD of FF circuits MF1 - MFm which constitute the parallel-series conversion register PSR from the testing device TE through corresponding test data input/output terminals TD1 - TDm. Further, uninverted output signals Q of precedent circuits MF2 - MFm are supplied to serial input terminals SD of the circuits MF1 - MFm-1. Scan-out data sod is supplied from the scan path SP to the terminal SD of the circuit MFm. The uninverted output signals Q of the circuits MF1 - MFm are further sent out to the device TE as test output data to1 - tom through corresponding inverter circuits N, output buffers OB, and terminals TD1 - TDm.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-82174

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)3月22日

G 01 R 31/28

6912-2G G 01 R 31/28

V

6912-2G

G

審査請求 未請求 請求項の数 2 (全10頁)

⑮ 発明の名称 半導体集積回路装置

⑯ 特 願 昭63-234068

⑰ 出 願 昭63(1988)9月19日

⑱ 発 明 者 和 田 浩 史 東京都青梅市今井2326番地 株式会社日立製作所デバイス
開発センタ内

⑲ 発 明 者 大 門 一 夫 東京都青梅市今井2326番地 株式会社日立製作所デバイス
開発センタ内

⑳ 発 明 者 平 良 啓 神奈川県横浜市戸塚区戸塚町216番地 株式会社日立製作
所戸塚工場内

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代 理 人 弁理士 徳 善 光 政

明 細 書

(産業上の利用分野)

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

1. 所定の試験モードにおいてスキャンバスを構成する複数のフリップフロップ回路と、上記試験モードにおいて試験装置からパラレルに供給される試験データをシリアルに上記スキャンバスに伝達する並列変換レジスタと、上記試験モードにおいて上記スキャンバスからシリアルに出力される試験データをパラレルに試験装置に送出する並列変換レジスタとを具備することを特徴とする半導体集積回路装置。

2. 上記並列変換レジスタは、上記並列変換レジスタとして適用されるものであって、そのビット数は、上記試験装置に設けられるテストパターンメモリのビット構成に適合されるものであることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

3. 発明の詳細な説明

この発明は、半導体集積回路装置に関するもので、例えば、デジタル信号処理回路を内蔵する1チップ型のデジタルコーデック(CODEC: Coder Decoder)等を利用して特に有効な技術に関するものである。

(従来の技術)

デジタル電話交換機の加入者回路に設けられ、A/D変換回路等のアナログ回路とデジタル信号処理回路等のデジタル回路を備える1チップ型のデジタルコーデックがある。デジタルコーデックにおいて、デジタル信号処理回路はストアードプログラム方式を採り、多数のフリップフロップ回路からなる順序回路を含む。

一方、上記デジタル信号処理回路のような順序回路を含む論理集積回路を効率的に試験する一つの手段として、順序回路を構成する複数のフリップフロップ回路を選択的にシフトレジスタ形態とし、試験データをシリアルに入出力するスキャンバス方式がある。

特開平2-82174(2)

スキャンバス方式については、例えば、1984年11月30日、特許庁発行の「LSIハンドブック」第165頁～第166頁等に記述されている。

(発明が解決しようとする課題)

第5図には、スキャンバス方式を採る従来の論理構築回路LSIの回路ブロック図の一例が部分的に示されている。第5図において、論理構築回路LSIは、論理部LCの順序回路を構成するn個のフリップフロップ回路FF1～FFnを含む。これらのフリップフロップ回路は、論理構築回路LSIが所定の試験モードとされるとき、選択的にシフトレジスタ形態とされ、スキャンバスSPを構成する。このとき、論理構築回路LSIは試験装置TBに接続され、スキャンバスSPには、一連の試験データがスキャンイン端子SIDを介してシリアルに入力される。スキャンバスSPを構成する各フリップフロップ回路の状態は、スキャンアウト端子SODを介してシリアルに試験装置TBに送出される。

試験装置TBは、順序回路を構成する多数のフリップフロップ回路を、スキャンインによって任意にセット又はリセット状態とする。そして、論理構築回路LSIをスタック動作させた後、これらのフリップフロップ回路の状態をスキャンアウトによって取り込む。これにより、試験装置TBは、比較的複雑な論理構成とされる論理構築回路LSIの順序回路の機能試験を、的確にかつ効率良く実施できるものである。

ところが、上記スキャンバス方式には次のような問題点があることが、本発明者等によって明らかとなった。すなわち、論理構築回路LSIのスキャンバスSPは、前述のように、順序回路に含まれる多数のフリップフロップ回路FF1～FFnにより構成され、スキャンバスSPには、試験装置TBから同じビット数の試験データがシリアルにスキャンイン又はスキャンアウトされる。試験装置TBは、試験データD0や期待値データED等を格納するテストパターンメモリTPMを備える。そして、このテストパターンメモリTPM

Mのアドレスをクロック信号cp1及びcp2にあわせて切り換えることで、スキャンインデータsidを供給するとともに、スキャンアウトデータodと期待値データEDとをデータ比較回路DCによって比較照合する。このように、比較的ビット数の多い試験データがシリアルに入力されることで、テストパターンメモリTPMの時間方向すなわちアドレス方向の大きさがいたずらに増大しその利用効率が低下するとともに、試験データの組み立てや解読・照合が困難となる。また、論理構築回路LSIに試験データをシリアル入力する場合、試験装置と論理構築回路LSI間の負荷が大きく、スキャンイン・スキャンアウトにかかわる転送クロックの速度を高速化することが困難となり、試験時間が長くなる。その結果、デジタルコーデック等の試験コストが増大し、試験装置の低コスト化が妨げられる。

この発明の目的は、試験コストの削減を図ったデジタルコーデック等の半導体構築回路装置を提供することにある。この発明の他の目的は、試

験装置のテストパターンメモリの利用効率を高め、その低コスト化を図ることにある。

この発明の前提ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかなるであらう。

(課題を解決するための手段)

本発明において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、スキャンバス方式を採るデジタルコーデック等の半導体構築回路装置に、試験装置からパラレルに供給される試験データをスキャンバスにシリアルに伝達したスキャンバスからシリアルに出力される試験データを試験装置にパラレルに送出する並直列変換レジスタを設け、この並直列変換レジスタのビット数を、試験装置に送られるテストパターンメモリのビット構成に適合させるものである。

(作 用)

上記した手段によれば、スキャンイン又はスキャンアウトされる試験データを、試験装置に送け

特開平2-82174(3)

られるテストパターンメモリのビット構成にあわせて効率的に処理することができる。その結果、スキャンバス方式を採るデジタルコーデック等の試験効率を高め、テストパターンメモリの利用効率を高めることができる。これにより、デジタル信号処理回路を内蔵するデジタルコーデック等の試験コストを削減し、試験装置の低コスト化を図ることができる。

(実施例)

第1図には、この発明が適用されたデジタルコーデック(CODEC)の一実施例の回路ブロック図が示されている。また、第2図には、第1図のデジタルコーデックの並直列変換レジスタPSRを構成するフリップフロップ回路MFIの一実施例の回路図が示され、第3図には、第1図のデジタルコーデックの試験モードにおける一実施例のタイミング図が示されている。これらの図に従って、この実施例のデジタルコーデックの構成と動作の概要ならびにその特徴について説明する。

とされ、その動作は図示されないインストラクションROM(リードオンリーメモリ)に格納されるマイクロ命令に従って制御される。デジタル信号処理回路DSPは、特に制限されないが、算術処理演算ユニットやこれを制御する各種制御ユニット等の処理回路を含む。これらの処理回路は、n個のフリップフロップ回路FF1〜FFnが組み合わされてなる順序回路を含む。

この実施例において、上記フリップフロップ回路FF1〜FFnは、デジタルコーデックが通常の動作モードとされる時、図示されない組合せ回路を介して所定の組み合わせで結合され、デジタル信号処理回路DSPの対応する順序回路を構成する。また、デジタルコーデックが所定の試験モードとされる時、選択的に並列形態とされ、スキャンバスSPを構成する。このとき、スキャンバスSPには、図示されない試験装置TBから入力される試験クロック信号CPI及びCP2をもとに形成された内部クロック信号OP1及びOP2が供給される。

この実施例のデジタルコーデックは、特に制限されないが、デジタル電話交換機の加入者回路にそれぞれ設けられる。デジタルコーデックは、デジタル信号処理回路DSP等のデジタル回路と、図示されないA/D変換回路及びD/A変換回路等のアナログ回路とを接続し、いわゆる1チップ型の低雑音回路とされる。第1図及び第2図に示される各回路素子ならびに第1図の各ブロックを構成する回路素子は、特に制限されないが、デジタルコーデックの図示されない他のブロックを構成する回路素子とともに、単結晶シリコンのような1個の半導体基板上において形成される。なお、以下の説明は、デジタルコーデックのデジタル信号処理回路DSP及び並直列変換レジスタPSRを中心に行い、この発明に直接関係のないA/D変換回路等についてはその説明を割愛した。

第1図において、デジタルコーデックのデジタル信号処理回路DSPは、特に制限されないが、いわゆるストアフプログラム方式の処理回路

スキャンバスSPを構成する各フリップフロップ回路は、上記内部クロック信号CP1及びCP2に従ってシフト動作を行い、スキャンイン端子SIを介して供給されるスキャンインデータE1dを順次取り込むとともに、それぞれの状態を、スキャンアウトデータE1dとしてスキャンアウト端子SOから出力する。

デジタルコーデックは、特に制限されないが、さらにマスター・スレーブ型のm個のフリップフロップ回路MFI〜MPmからなる並直列変換レジスタPSRを含む。この実施例において、並直列変換レジスタPSRのビット数mは、上記試験装置TBに設けられるテストパターンメモリTPMのビット構成に適合される。

並直列変換レジスタPSRを構成するフリップフロップ回路MFI〜MPmは、特に制限されないが、第2図のフリップフロップ回路MFIに代表して示されるように、クロックインバート回路CN1及びCN4が交叉接続されてなるマスターラッチMLと、クロックインバート回路CN6及

特開平2-82174(4)

インバート回路N7が交差接続されてなるスレーブラッチSLとを基本構成とする。このうち、クロックインバート回路CN3には、試験装置TEから入力される試験プリセット信号TPSをもとに形成された反転内部プリセット信号 \overline{p} がゲート制御信号として供給され、クロックインバート回路CN4及びCN5には、上記内部クロック信号c2及びc1がゲート制御信号としてそれぞれ供給される。

特に制限されないが、マスターラッチMLを構成するクロックインバート回路CN3の入力端子は、クロックインバート回路CN2を介して、フリップフロップ回路MF1~MFmのシリアル入力端子SDに結合される。このクロックインバート回路CN2には、上記内部クロック信号c1がゲート制御信号として供給される。一方、マスターラッチMLを構成するクロックインバート回路CN4の入力端子は、直列形成とされるインバート回路N6及びクロックインバート回路CN1を介して、フリップフロップ回路MF1~MFmの

パラレル入力端子PDに結合される。クロックインバート回路CN1には、上記反転内部プリセット信号 \overline{p} の反転信号すなわち非反転内部プリセット信号pがゲート制御信号として供給される。上記クロックインバート回路CN5を介して、スレーブラッチSLの入力ノードに結合される。クロックインバート回路CN5には、上記内部クロック信号c2がゲート制御信号として供給される。スレーブラッチSLの出力ノードは、フリップフロップ回路MF1~MFmの非反転出力端子Qに結合される。

これらのことから、並列変換レジスタPSRを構成するフリップフロップ回路MF1~MFmは、内部プリセット信号pがハイレベルとされかつ内部クロック信号c1及びc2がハイレベルとされるとき、パラレル入力端子PDを介して供給されるパラレル入力データをマスターラッチML及びスレーブラッチSLに取り込む。また、内部プリセット信号pがロウレベルとされかつ

内部クロック信号c1がハイレベルとされるとき、シリアル入力端子SDを介して供給されるシリアル入力データをマスターラッチMLに取り込む。マスターラッチMLに取り込まれた試験データは、内部クロック信号c2がハイレベルとされかつ内部クロック信号c1がロウレベルとされることで、対応するスレーブラッチSLに伝送される。

第1図において、並列変換レジスタPSRを構成するフリップフロップ回路MF1~MFmのパラレル入力端子PDには、試験装置TEから対応する試験データ入出力端子TD1~TDmを介して、mビットの試験入力データ $i1 \sim i1m$ がそれぞれ供給される。また、フリップフロップ回路MF1~MFm-1のシリアル入力端子SDには、前段のフリップフロップ回路MF2~MFmの非反転出力信号Qがそれぞれ供給される。フリップフロップ回路MFmのシリアル入力端子SDには、上記キャンバスSPからスキャンアウトデータ sod が供給される。フリップフロップ回

路MF1~MFmの非反転出力信号Qは、さらに試験出力データ $o1 \sim o1m$ として、対応するインバート回路N1及び出力バッファOB1ないしインバート回路N3及び出力バッファOB3等ならびに上記試験データ入出力端子TD1~TDmを介して、試験装置TEに送出される。出力バッファOB1~OB3等には、特に制限されないが、上記試験プリセット信号 \overline{p} をもちに形成された反転内部プリセット \overline{p} が出力制御信号として供給される。

デジタルコーディックが所定の試験モードとされるとき、試験装置TEは、特に制限されないが、第3図に示されるように、試験データ入出力端子TD1~TDmに試験入力データ $i1 \sim i1m$ を供給し、これらの試験入力データをストロープするように試験プリセット信号TPSを一時的にハイレベルとする。そして、その後、試験クロック信号TCP1をmサイクル分だけロウレベルとし、これに四分の一周期遅れて、試験クロック信号TCP2をmサイクル分だけロウレベルとする。

特開平2-82174 (5)

言うまでもなく、上記試験入力データ11~1mは、デジタル信号処理回路DSPのフリップフロップ回路FF1~FFmをm個ずつ任意にセット又はリセット状態とするためのものであり、試験装置TEに設けられるテストパターンメモリTPMの対応するアドレスからmビットずつパラレルに読み出される。

デジタルコーデックでは、試験プリセット信号TPSが一時的にハイレベルとされかつ試験クロック信号TCP1及びTCP2がハイレベルとされることで、上記試験入力データ11~1mが並直列変換レジスタPSRの対応するフリップフロップ回路MF1~MFmのマスターラッチML及びスレーブラッチSLにそれぞれ取り込まれる。フリップフロップ回路MF2~MFmに取り込まれた試験データは、試験クロック信号TCP1すなわち内部クロック信号cp1の立ち上がりエッジに同期して次のフリップフロップ回路MF1~MFm-1のマスターラッチMLに伝達され、さらに試験クロック信号TCP2すなわち内

部クロック信号cp2の立ち上がりエッジに同期してそのスレーブラッチSLに伝達される。その結果、フリップフロップ回路MF1の非反転出力信号Qには、上記試験入力データ11~1mが順次シリアルに出力される。このフリップフロップ回路MF1の非反転出力信号Qは、スキャンインデータsidとして、スキャンバスSPに供給される。これにより、まず最初のmビットの試験入力データが、スキャンバスSPを構成するm個のフリップフロップ回路FFa~s1~FFFnに順次取り込まれる。

以下、試験装置TEは、残りの試験入力データをmビットずつテストパターンメモリTPMから順次読み出し、上記動作を繰り返す。これらの試験入力データは、デジタルコーデックの並直列変換レジスタPSRによってシリアルなスキャンインデータsidに変換され、スキャンバスSP内を順次シフトして伝送される。その結果、試験クロック信号TCP1及びTCP2がnサイクル分だけ供給された時点で、nビットの試験入力デ

ータがフリップフロップ回路FF1~FFFnに入力される。このとき、スキャンバスSPを構成するフリップフロップ回路FF1~FFFnは、例えば対応する試験入力データが論理"0"とされることでリセット状態とされ、論理"1"とされることでセット状態とされる。

ここで、試験装置TEは、図示されないシナメタクロック信号を適当なサイクルだけ供給し、デジタルコーデックのデジタル信号処理回路DSPをステップ動作させる。これにより、スキャンバスSPを構成するフリップフロップ回路FF1~FFFnは、予め定められた論理条件によって状態遷移される。

次に、試験装置TEは、試験クロック信号TCP1及びTCP2を再度nサイクル分ずつ繰り返してローレベルとする。デジタルコーデックでは、試験クロック信号TCP1及びTCP2すなわち内部クロック信号cp1及びcp2が供給されることで再びステップ動作を行う。これにより、まずスキャンバスSPを構成するmビットのフリップ

フロップ回路FF1~FFFnの状態で、スキャンアウトデータoadとして、順次並直列変換レジスタPSRに取り込まれる。mビットの試験データが並直列変換レジスタPSRに取り込まれると、試験装置TEは、試験データ入力端子TD1~TDmを介してこれらを入力し、同時にテストパターンメモリTPMから読み出された期待値データと照合する。その結果、これらの試験データと期待値データとが全ビット一致すると、さらに試験クロック信号TCP1及びTCP2をnサイクル分ずつ供給し、同様な動作を繰り返す。これにより、スキャンバスSPを構成するフリップフロップ回路FF1~FFFnの状態でmビットずつ順次試験装置TEに取り込まれ、対応する期待値データと照合される。

以上のように、この実施例のデジタルコーデックは、ストアプログラム方式のデジタル信号処理回路DSPを内蔵する。デジタル信号処理回路DSPは、n個のフリップフロップ回路FF1~FFFnが所定の組合せ回路を介して結合さ

特開平2-82174(6)

れてなる順序回路を含む。これらのフリップフロップ回路F F 1 ~ F F n は、デジタルコーデックが所定の試験モードとされるとき、逐次的に直列形態とされ、一連のスキャンバスS・Pを構成する。この実施例において、デジタルコーデックは、さらにmビットのマスター・スレーブ型フリップフロップ回路M F 1 ~ M F m からなる並列変換レジスタP S Rを含む。試験装置T B から上記スキャンバスS・Pに入力される試験データは、まずmビットずつパラレルに並列変換レジスタP S Rに取り込まれた後、増次スキャンバスS・Pにスキャンインされる。一方、試験モードにおいてステップ動作された後のフリップフロップ回路F F 1 ~ F F n の状態は、同様にmビットずつ並列変換レジスタP S Rにスキャンアウトされた後、試験装置T B に送られるとの照合が行われる。この実施例において、並列変換レジスタP S Rのビット数は、試験装置T B に設けられるテストパターンメモリT P Mのビット構成と適合される。この

ように、デジタルコーデック及び試験装置T B 間において、0値必要とされる試験データがmビットを単位としてパラレルに入出力され、デジタルコーデック内でシリアル転送されることで、試験装置T B からデジタルコーデックへ直接試験データをシリアル転送するよりも転送速度をあげることができるため、試験装置T B が1個のデジタルコーデックに内蔵される時間が著しく短縮される。また、試験装置T B のテストパターンメモリT P Mの時間方向すなわちアドレス方向の大きさが縮小され、その利用効率が高められるとともに、試験パターンとの組み立てや解読・照合処理が効率的に行われるものとなる。その結果、デジタルコーデックの試験コストが削減されるとともに、試験装置T B の低コスト化が図られるものである。

以上の本実施例に示されるように、この発明をスキャンバスを有するデジタルコーデック等の半導体無依回路装置に適用した場合、次のような作用効果が得られる。すなわち、

(1) スキャンバス方式を採るデジタルコーデック等の半導体無依回路装置に、試験装置からパラレルに供給される試験データをスキャンバスにシリアルに伝達したスキャンバスからシリアルに出力される試験データを試験装置にパラレルに送出する並列変換レジスタを設け、この並列変換レジスタのビット数を試験装置に設けられるテストパターンメモリのビット構成に適合させ、L S I 内部でシリアル転送を実行させることで、転送速度を高め、デジタルコーデック等の試験時間を短縮できるという効果が得られる。

(2) 上記(1)項により、スキャンイン又はスキャンアウトされる試験データを、試験装置のテストパターンメモリのビット構成に対応した形で取り換えるため、試験データの組み立てや解読・照合処理を効率的に実施できるという効果が得られる。

(3) 上記(1)項及び(2)項により、試験装置のテストパターンメモリの時間方向すなわちアドレス方向の大きさを縮小し、その利用効率を高めることができるという効果が得られる。

(4) 上記(1)項~(3)項により、デジタル信号処理回路を内蔵したスキャンバス方式を採るデジタルコーデック等の試験効率を高め、その試験コストを削減できるという効果が得られる。

(5) 上記(1)項~(4)項により、試験装置の低コスト化を図ることができるという効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、第1図において、並列変換レジスタP S Rのビット数mは、スキャンバスS・Pを構成するフリップフロップ回路のビット数nと同じであってもよい。また、並列変換レジスタP S Rをエッジトリガ型のシフトレジスタとすることで、試験クロック信号を1相化してもよい。この実施例では、試験装置T B からパラレルに供給される試験データをシリアルなスキャンインデータに変換するための並列変換回路とスキャンバスS・Pからシリアルに出力されるスキャンアウト

特開平2-82174(7)

データをパラレルに試験装置TBに送出するための直並列変換回路とが、並直列変換レジスタPSRとして共通化されるが、これらの並直列変換回路及び直並列変換回路をそれぞれ別個に設けることもよい。第2図において、並直列変換レジスタPSRを構成するフリップフロップ回路MFI等は、各ラッチをインバート回路によって構成し、その前段に内部クロック信号cp1又はcp2あるいは内部プリセット信号psによりゲート制御される論理ゲート回路を設けるものであってもよい。第3図において、スキャンバスSPに對する試験データのスキヤニングは、スキヤニアウトと同時に実行されるものであってもよい。第4図に示されるように、デジタル信号処理回路DSPのフリップフロップ回路を例えばm個ずつユニタリ化することで、複数のスキャンバスSP1～SPqを構成してもよい。この場合、デジタルコーデックは、試験装置TBから供給される試験アドレス信号TA1～TApをデコードしスキャンバス選択信号s1～sqを形成するデコードOB

Cと、これらのスキャンバス選択信号に従ってスキャンバスSP1～SPqのスキヤニアウトデータs01～sq0qを選択的に並直列変換レジスタPSRに伝達する出力選択回路SELとを必要とする。さらに、第1図及び第4図に示されるデジタルコーデックの回路ブロック構成や、第2図に示されるマスター・スレーブ型フリップフロップ回路の具体的な回路構成ならびに第3図に示される制御信号及びクロック信号の組み合わせ等、種々の実施形態を採ることができる。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるデジタル電話交換機の加入回路に設けられるデジタルコーデックに適用した場合について説明したが、それに限定されるものではなく、例えば、同様なスキャンバスを有するマイクロコンピュータや各種のデジタル処理装置にも適用できる。本発明は、少なくともスキャンバス方式を採る半導体集積回路装置ならびにその試験装置に広く適用できる。

(発明の効果)

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。すなわち、スキャンバス方式を採るデジタルコーデック等の半導体集積回路装置に、試験装置からパラレルに供給される試験データをスキャンバスにシリアルに伝達したスキャンバスからシリアルに出力される試験データを試験装置にパラレルに送出する並直列変換レジスタを設け、この並直列変換レジスタのビット数を、試験装置に設けられるテストパターンメモリのビット構成に適合させ、LSI内部でシリアル伝送を行い、転送速度を高速度化することで、デジタルコーデック等の試験時間を短縮し、その試験コストを削減できるとともに、試験装置のテストパターンメモリの利用効率を高め、試験装置の低コスト化を図ることができる。

4. 図面の簡単な説明

第1図は、この発明が適用されたデジタルコーデックの一実施例を示す部分的な回路ブロック

図、

第2図は、第1図のデジタルコーデックの直並列変換レジスタを構成するフリップフロップ回路の一実施例を示す回路図、

第3図は、第1図のデジタルコーデックの試験モードの一実施例を示すタイミング図、

第4図は、この発明が適用されたデジタルコーデックのもう一つの実施例を示す部分的な回路ブロック図、

第5図は、スキャンバス方式を採る従来の論理集積回路装置の一実施例を示す部分的な回路ブロック図である。

CODEC・・・デジタルコーデック、DSP・・・デジタル信号処理回路、SP、SP1～SPq・・・スキャンバス、PSR・・・並直列変換レジスタ、PFI～PFIa・・・スキャンバスを構成するフリップフロップ回路、MFI～MFIa・・・並直列変換レジスタを構成するフリップフロップ回路、OB1～OB3・・・出力バッファ、NI～NI7・・・インバート回路、

特開平2-82174(8)

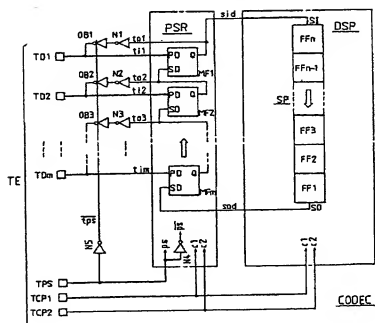
ML・・・マスターラッチ、SL・・・スレー
ブラッチ、CN1～CN6・・・クロックインベ
ータ回路。

DEC . . . デコード、SEL . . . : 出力選択
回路。

LSI・・・論理集積回路、LC・・・論理部、
TB・・・試験装置、TPM・・・テストパター
ンメモリ、DC・・・データ比較回路。

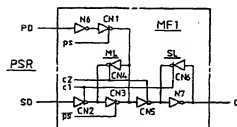
代理人弁理士 徳若 光政

第 1 圖

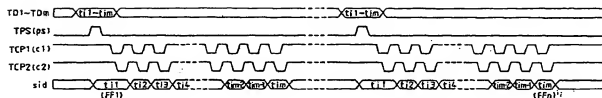


特圖平2-82174(9)

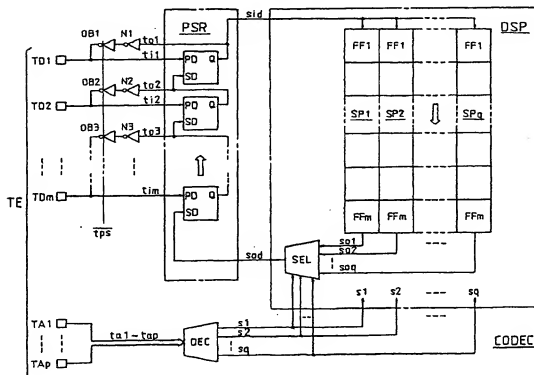
第 2 圖



第 3 回



第 4 圖



特開平2-82174(10)

第 5 図

